



# UNIVERSIDAD DE GUADALAJARA

Centro Universitario de Ciencias Exactas e Ingenierías  
División de Electrónica y Computación  
Departamento de Electronica

## PROGRAMA DE MATERIA

### 1. DATOS DEL CURSO

Nombre: Seminario de solución de problemas de circuitos digitales	Número de créditos: 5	Tipo: Seminario
Horas teoría/práctica: 0/68	Total de horas: 68	Módulo: Electrónica Analógica

### 2. DESCRIPCIÓN

#### Objetivo General

Aprender mediante ejercicios prácticos el diseño físico de planos de circuito integrado estilo *full-custom* así como el flujo de síntesis de *cores* de circuitos integrados digitales a partir de su descripción mediante el lenguaje de descripción de hardware VHDL.

#### Contenido (TEMA Y SUBTEMA)

##### PARTE I – DISEÑO MANUAL (*FULL-CUSTOM*) DE PLANOS DE CIRCUITOS INTEGRADOS DIGITALES

##### Unidad 1: Planos de circuitos integrados (*layout*) CMOS

- 1.1. Instalación de una herramienta para el trazado de planos de circuito integrado (editor de *layouts*)
- 1.2. Capas (*layers*) para el trazado de un plano de circuito integrado
- 1.3. Actividad: Preparación de un archivo *layout* con todas las capas que se usarán para el trazado de planos

##### Unidad 2: Trazado de un *layout* en dimensiones de celda estándar

- 2.1. Diagrama esquemático del inversor
- 2.2. Reglas de diseño: ancho mínimo, distancia mínima, traslape, etc.
- 2.3. Herramienta para la verificación de reglas de diseño (*Design Rule Checker* ó DRC)
- 2.4. Celdas estándar: altura de celda, ancho de rieles de alimentación y ancho del pozo-N
- 2.5. Actividad: Trazado del *layout* del inversor en dimensiones de celda estándar

##### Unidad 3: Verificación *Layout vs Schematic* (LVS)

- 3.1. Herramienta para la extracción de un archivo SPICE a partir de un *layout*
- 3.2. Herramienta para la comparación topológica de dos archivos SPICE (*Layout vs Schematic* ó LVS)
- 3.3. Actividad: Verificación LVS del *layout* del inversor

##### Unidad 4: Planos de celdas combinatoriales básicas

- 4.1. Diagrama esquemático de las compuertas NAND2, NAND3, NOR2 y NOR3
- 4.2. Actividad: Trazado de *layout* y verificaciones DRC y LVS de las celdas NAND2, NAND3, NOR2 y NOR3 en dimensiones de celda estándar

##### Unidad 5: Planos de celdas complejas

- 5.1. Diagrama esquemático de las celdas combinatoriales XOR y sumador completo (Full\_Adder)
- 5.2. Diagrama esquemático de las celdas de memoria Latch-D y FlipFlop-D
- 5.3. Actividad: Trazado de *layout* y verificaciones DRC y LVS de las celdas XOR, Full\_Adder y FlipFlop-D en dimensiones de celda estándar

##### Unidad 6: Metodología de Posicionamiento y Ruteado (P&R) realizado manualmente

- 6.1. Diagrama esquemático de un contador de 6 bits con habilitación y *reset*
- 6.2. Metodología P&R empleando una librería de celdas estándar
- 6.3. Celda de relleno usada para completar los renglones del *core*
- 6.4. Conectores alrededor del *core*
- 6.5. Trazado del anillo de *Pads*
- 6.6. Actividad: Trazado *full-custom* de un contador de 6 bits empleando una librería de celdas estándar

## PARTE II – SÍNTESIS AUTOMATIZADA DE PLANOS DE CIRCUITOS INTEGRADOS DIGITALES

### Unidad 7: Instalación de herramientas para síntesis digital

- 7.1. Virtualización de sistemas operativos
- 7.2. Sistema operativo Linux
- 7.3. Emulador de terminal
- 7.4. Prompt
- 7.5. Usuario
- 7.6. Directorio Home
- 7.7. Rutas absolutas y Rutas relativas
- 7.8. Comandos básicos: LS, CD, MV, CP, RM, MKDIR
- 7.9. Gestor de archivos en modo gráfico
- 7.10. Compartir archivos entre el sistema operativo invitado y el sistema operativo anfitrión
- 7.11. Editor de texto plano
- 7.12. Visualizador de archivos de texto: LESS
- 7.13. Ayuda desde la terminal: MAN
- 7.14. Conjunto de herramientas Alliance
- 7.15. Librería de celdas estándar SXLIB
- 7.16. Visualizador de layouts: GRAAL
- 7.17. Archivos VHDL de las celdas incluidas en la librería SXLIB

### Unidad 8: Flujo de síntesis

- 8.1. Lenguaje de descripción de hardware VHDL
- 8.2. Conversión al subconjunto VHDL de Alliance: VASY
- 8.3. Optimización Booleana: BOOM
- 8.4. Mapeo de funciones Booleanas a celdas: BOOG
- 8.5. Visualizador de descripciones estructurales: XSCH
- 8.6. Reducción de retardos introduciendo *buffers*: LOON
- 8.7. Archivo \*.ioc para el posicionamiento de los conectores del core
- 8.8. Posicionado automático de celdas: OCP
- 8.9. Ruteado automático de interconexiones: NERO
- 8.10. Actividad: Síntesis de un sumador y de un multiplicador combinacional

### Unidad 9: Flujo de verificación

- 9.1. Verificación de sintaxis: Vasy
- 9.2. Simulación digital: Asimut
- 9.3. Archivos de patrones de prueba (*test-bench*) para visualizar en XPAT
- 9.4. Archivos de patrones de prueba con valores esperados
- 9.5. Extracción de descripción estructural: Cougar
- 9.6. Comparación *layout* vs estructural: LVX
- 9.7. Extracción de descripción SPICE: Cougar
- 9.8. *Scripts Bash*
- 9.9. Actividad: Flujo de verificación del sumador y multiplicador de la actividad anterior (usar un *script Bash*)
- 9.10. Actividad: Flujo de síntesis y verificación de un decodificador de 8 segmentos (usar un *script Bash*)

### Unidad 10: Síntesis de circuitos secuenciales

- 10.1. Señales que representan interconexiones en VHDL de Alliance
- 10.2. Señales que representan FlipFlops en VHDL de Alliance
- 10.3. Archivos de patrones para sistemas con señal de reloj
- 10.4. Actividad: Flujo de síntesis y verificación de un contador de 6 bits con habilitación y *reset*
- 10.5. Actividad: Flujo de síntesis y verificación de una máquina de estados finitos para el control de un motor a pasos

### Unidad 11: Preparación final del plano

- 11.1. Escalamiento del plano a la tecnología destino: SX10\_C60
- 11.2. Colocación de Pads: PADPLACER
- 11.3. Comprobación de reglas de densidad: DSTCHECK
- 11.4. Trazador de planos: CIF2PNG

### Unidad 12: Proyecto final

- 12.1. Actividad: Diseño y síntesis de un Reloj Digital con horas, minutos, segundos y alarma programable

**Modalidades de enseñanza aprendizaje**

Actividades extraclase prácticas y proyectos
--

**Modalidad de evaluación**

Entrega oportuna de todas las actividades y proyectos
---

**Competencias a desarrollar**

Aprendizaje autogestivo y adquisición del hábito del trabajo permanente a lo largo de su actividad profesional
--

**Campo de aplicación profesional**

Diseño de circuitos
---------------------

**3. BIBLIOGRAFÍA**

Título	Autor	Editorial	Año de la edición más reciente
Circuitos microelectrónicos	Sedra y K.C. Smith	Oxford University Press	2008
Diseño digital: Principios y prácticas	John F. Wakerly	Pearson Educación	2001
Diseño de Sistemas Digitales: Un Enfoque Integrado	John P. Uyemura	International Thomson Editores	2000
Circuitos integrados digitales: una perspectiva de diseño	Jan M. Rabaey; Anantha Chandrakasan; Borivoje Nikolic	Pearson Educacion	2004
Wikipedia			
Internet			
Google			

**FECHA DE LA ULTIMA MODIFICACIÓN:**

NOMBRE DEL PROFESOR	FIRMA
Dr. Marco Antonio Gurrola Navarro 9 de noviembre de 2015	

---

Vo. Bo. Jefe de Departamento